

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2877462号

(45) 発行日 平成11年(1999) 3月31日

(24) 登録日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>4</sup>

識別記号

P I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

27/115

27/10

4 3 4

29/788

29/792

請求項の数3 (全 13 頁)

(21) 出願番号 特願平2-193153

(22) 出願日 平成2年(1990) 7月23日

(65) 公開番号 特開平4-79369

(43) 公開日 平成4年(1992) 3月12日

審査請求日 平成9年(1997) 4月14日

(73) 特許権者 99999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 遠藤 哲郎

神奈川県川崎市幸区小向東芝町1番地

株式会社東芝総合研究所内

(74) 代理人 弁理士 鈴江 武彦 (外3名)

審査官 正山 旭

(56) 参考文献 特開 昭62-269363 (J P, A)

特開 昭64-20868 (J P, A)

(58) 調査した分野(Int.Cl.<sup>4</sup>, D B名)

H01L 29/788

H01L 21/8247

H01L 27/115

(54) 【発明の名称】 不揮発性半導体記憶装置

1

(57) 【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板上に格子領域の溝により分離されてマトリクス配列された複数の柱状半導体層と、

各柱状半導体層の上面に形成されたドレイン拡散層、前記溝底部に形成された共通ソース拡散層、および各柱状半導体層の側壁部の周囲全体を取り囲む電荷蓄積層と制御ゲートを有し、制御ゲートが一方向の複数の柱状半導体層について連続的に配設されて制御ゲート線となる電気的書き替え可能な複数のメモリセルと、前記制御ゲート線と交差する方向の複数のメモリセルのドレイン拡散層に接続されたビット線と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 半導体基板と、

この半導体基板上に格子領域の溝により分離されてマト

2

リクス配列された複数の柱状半導体層と、

前記溝底部に形成された共通ソース拡散層と、

各柱状半導体層の下部の周囲の少くとも一部を取り囲む電荷蓄積層と制御ゲートを有し、その制御ゲートが一方向の複数の柱状半導体層について連続的に配設されて制御ゲート線となる電気的書き替え可能な複数のメモリ・トランジスタと、

各柱状半導体層の上面に形成されたドレイン拡散層と、

各柱状半導体層上部の周囲の少くとも一部を取り囲むゲート電極とを有し、そのゲート電極が前記制御ゲート線と同じ方向に連続的に配設されてワード線となる複数の選択ゲート・トランジスタと、

前記制御ゲート線およびワード線と交差する方向の複数の選択ゲート・トランジスタのドレイン拡散層に接続されたビット線と、

10

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項3】半導体基板と、

この半導体基板上に格子縞状の溝により分離されてマトリクス配列された複数の柱状半導体層と、

前記溝底部に形成された共通ソース拡散層と、

各柱状半導体層の下部の周囲の少くとも一部を取り囲む電荷蓄積層と制御ゲートを有し、その制御ゲートが一方向の複数の柱状半導体層について連続的に配設された電気的書き替え可能な複数のメモリ・トランジスタと、

各柱状半導体層の上面に形成されたドレイン拡散層と、

各柱状半導体層上部の周囲の少くとも一部を取り囲むように前記制御ゲートと連続的に形成されたゲート電極とを有し、そのゲート電極が一方向の複数の柱状半導体層について連続的に配設されてワード線となる複数の選択ゲート・トランジスタと、

前記ワード線と交差する方向の複数の選択ゲート・トランジスタのドレイン拡散層に接続されたビット線と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【発明の目的】

（産業上の利用分野）

本発明は、電荷蓄積層と制御ゲートを持つメモリ・トランジスタを用いた電気的書き替え可能な不揮発性半導体記憶装置（EEPROM）に関する。

（従来の技術）

EEPROMのメモリセルとして、ゲート部に電荷蓄積層と制御ゲートを持ち、トンネル電流を利用して電荷蓄積層への電荷の注入、電荷蓄積層からの電荷の放出を行うMOSトランジスタ構造のものが知られている。このメモリセルでは、電荷蓄積層の電荷蓄積状態の相違によるしきい値電圧の相違をデータ“0”、“1”として記憶する。例えば電荷蓄積層として浮遊ゲートを用いたnチャネルのメモリセルの場合、浮遊ゲートに電子の注入するには、ソース、ドレイン拡散層と基板を接地して制御ゲートに正の高電圧を印加する。このとき基板側からトンネル電流によって浮遊ゲートに電子が注入される。この電子注入により、メモリセルのしきい値電圧は正方向に移動する。浮遊ゲートの電子を放出させるには、制御ゲートを接地してソース、ドレイン拡散層または基板のいずれかに正の高電圧を印加する。このとき浮遊ゲートからトンネル電流によって基板側の電子が放出される。この電子放出により、メモリセルのしきい値電圧は負方向に移動する。

（従来の技術）

EEPROMのメモリセルとして、ゲート部に電荷蓄積層と制御ゲートを持ち、トンネル電流を利用して電荷蓄積層への電荷の注入、電荷蓄積層からの電荷の放出を行うMOSトランジスタ構造のものが知られている。このメモリセルでは、電荷蓄積層の電荷蓄積状態の相違によるしきい値電圧の相違をデータ“0”、“1”として記憶する。例えば電荷蓄積層として浮遊ゲートを用いたnチャネルのメモリセルの場合、浮遊ゲートに電子の注入するには、ソース、ドレイン拡散層と基板を接地して制御ゲートに正の高電圧を印加する。このとき基板側からトンネル電流によって浮遊ゲートに電子が注入される。この電子注入により、メモリセルのしきい値電圧は正方向に移動する。浮遊ゲートの電子を放出させるには、制御ゲートを接地してソース、ドレイン拡散層または基板のいずれかに正の高電圧を印加する。このとき浮遊ゲートからトンネル電流によって基板側の電子が放出される。この電子放出により、メモリセルのしきい値電圧は負方向に移動する。

以上の動作において、電子注入と放出すなわち書き込みと消去を効率良く行うためには、浮遊ゲートと制御ゲートおよび基板との間の容量結合の関数が重要である。すなわち浮遊ゲートと制御ゲート間の容量が大きいほど、制御ゲートの電位を効果的に浮遊ゲートに伝達することができ、書き込み、消去が容易になる。しかし近年の半導体技術の進歩、とくに微細加工技術の進歩によ

り、EEPROMのメモリセルの小型化と大容量化が急速に進んでいる。したがってメモリセル面積が小さくてしかも、浮遊ゲートと制御ゲート間の容量を如何に大きく確保するかが重要な問題となっている。

浮遊ゲートと制御ゲート間の容量を大きくするためには、これらの間のゲート絶縁膜を薄くするか、その誘電率を大きくするか、または浮遊ゲートと制御ゲートの対向面積を大きくすることが必要である。しかし、ゲート絶縁膜を薄くすることは、信頼性上限界がある。ゲート絶縁膜の誘電率を大きくすることは例えば、シリコン酸化膜に代ってシリコン窒素膜等を用いることが考えられるが、これも主として信頼性上問題があって実用的でない。したがって十分な容量を確保するためには、浮遊ゲートと制御ゲートのオーバーラップ面積を一定値以上確保することが必要となる。これは、メモリセルの面積を小さくしてEEPROMの大容量化を図る上で障害となる。

また、書き込みおよび消去時にはメモリセルに高電圧を印加するために、素子分離を確実に行うことが必要である。したがって通常のLOCOS法では素子分離領域の面積が大きくなり、これもEEPROMの大容量化を阻害する原因となっていた。

（発明が解決しようとする課題）

以上のようにEEPROMにおいて、メモリセル占有面積を小さくしてしかも、浮遊ゲートと制御ゲート間の容量を十分大きく確保することが難しくなっているという問題があった。

本発明は、このような問題を解決した、高い書き込み、消去の効率を持つ大容量化EEPROMを提供することを目的とする。

（課題を解決するための手段）

本発明に係るEEPROMは、半導体基板上に格子縞状の溝により分離されてマトリクス配列された複数の柱状半導体層の側壁を利用してメモリ・トランジスタが構成される。すなわちメモリ・トランジスタは、各柱状半導体層の上面に形成されたドレイン拡散層、前記溝底部に形成された共通ソース拡散層、および各柱状半導体層の側壁部の周囲全体を取り囲む電荷蓄積層と制御ゲートをもって構成され、制御ゲートが一方向の複数の柱状半導体層について連続的に配設されて制御ゲート線となる。また制御ゲート線と交差する方向の複数のメモリ・トランジスタのドレイン拡散層に接続されたビット線が設けられる。

本発明に係るEEPROMはまた、上述したメモリ・トランジスタの電荷蓄積層と制御ゲートが柱状半導体層の下部に形成され、これに重なり、柱状半導体層の上部にその周囲の少くとも一部を取り囲むようにゲート電極が形成された選択ゲート・トランジスタが設けられる。

（作用）

本発明によるEEPROMのメモリセルは、柱状半導体層の

側壁を利用して、柱状半導体層を取り囲んで形成された電荷蓄積層および制御ゲートを有するから、小さい占有面積で電荷蓄積層と制御ゲートの間の容量を十分大きく確保することができ、また各メモリセルのビット線に繋がるドレイン拡散層は、それぞれ柱状半導体層の上面に形成され、溝によって電気的に完全に分離されている。さらに素子分離領域が小さくでき、メモリセルサイズが小さくなる。したがって、優れた書き込み、消去効率を持つメモリセルを集積した大容量化EEPROMを得ることができる。

#### (実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は一実施例のEEPROMのメモリセルアレイを示す平面図であり、第2図(a)(b)はそれぞれ第1図のA-A'およびB-B'断面図である。この実施例では、p型シリコン基板1を用い、この上に格子縞状の溝3により分離された複数の柱状p型シリコン層2がマトリクス配列され、これら各柱状シリコン層2がそれぞれメモリセル領域となっている。すなわち溝3の底部に所定厚みの酸化膜4が埋込み形成され、柱状シリコン層2の周囲を取り囲むように、側壁にトンネル酸化膜5を介して浮遊ゲート6が形成され、さらにその外側に層間絶縁膜7を介して制御ゲート8が形成されている。制御ゲート8は、第1図および第2図(b)に示すように、一方向の複数のメモリセルについて連続的に配設されて、制御ゲート線すなわちワード線WL(WL1, WL2, ...)となっている。溝3の底部には、メモリセルの共通ソース拡散層9が形成され、各柱状シリコン層2の上面には各メモリセル毎のドレイン拡散層10が形成されている。このように形成されたメモリセルの基板上はCVD酸化膜11により覆われ、これにコンタクト孔が開けられて、ワード線WLと交差する方向のメモリセルのドレイン拡散層10を共通接続するビット線BL(BL1, BL2, ...)となるAI配線12が配設されている。制御ゲート線のパターンニングの際に、セルアレイの端部の柱状シリコン層位置にPEPによるマスクを形成しておいてはその表面に制御ゲート線と連続する多結晶シリコン膜からなるコンタクト部14を残し、ここにビット線BLと同時に形成されるAI膜によってワード線となるAI配線13をコンタクトさせている。

この様な構造を得るための具体的な製造工程例を、第3図(a)~(e)を参照して説明する。第3図(a)~(e)は、第1図(a)に対応する断面での工程図である。高不純物濃度のp型シリコン基板1に低不純物濃度のp型シリコン層2をエピタキシャル成長させ、その表面にマスク層21を堆積し、公知のPEP工程によりフォトリソ・パターン22を形成して、これを用いてマスク層21をエッチングする(第3図(a))。そしてマスク層21を用いて、反応性イオンエッチング法によりシリコン層2をエッチングして、基板1に達する深さの格子縞状の溝3を形成する。これにより、シリコン層2は、

柱状をなして複数の島に分離される。その後CVD法によりシリコン酸化膜23を堆積し、これを異方性エッチングにより各柱状シリコン層2の側壁に残す。そしてn型不純物をイオン注入によって、各柱状シリコン層2の上面にそれぞれドレイン拡散層10を形成し、溝底部には共通ソース拡散層9を形成する(第3図(b))。

その後、等方性エッチングにより各柱状シリコン層2の周囲の酸化膜23をエッチング除去した後、必要に応じて斜めイオン注入を利用して各シリコン層2の側壁にチャネルイオン注入を行う。チャネルイオン注入に代って、CVDによりボロンを含む酸化膜を堆積し、その酸化膜からのボロン拡散を利用してよい。そしてCVDシリコン酸化膜4を堆積し、これを等方性エッチングによりエッチングして、溝3の底部に所定厚み埋め込む。その後、熱酸化によって各シリコン層2の周囲に例えば100Å程度のトンネル酸化膜5を形成した後、第1層多結晶シリコン膜を堆積する。この第1層多結晶シリコン膜を異方性エッチングによりエッチングして、各シリコン層2の側壁にのみ残して浮遊ゲート6を形成する(第3図(c))。

次に各柱状シリコン層2の周囲に形成された浮遊ゲート6の表面に層間絶縁膜7を形成する。この層間絶縁膜7はたとえば、CVD膜とする。具体的には浮遊ゲート6の表面を所定厚み酸化した後、プラズマCVDによりシリコン窒化膜を堆積してその表面を熱酸化することにより、CVD膜を形成する。そして第2層多結晶シリコン膜を堆積して異方性エッチングによりエッチングすることにより、制御ゲート8を形成する(第3図(d))。このとき制御ゲート8は、柱状シリコン層2の間隔を、第1図の縦方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線として形成される。制御ゲート線の一端部には、マスクを用いて柱状シリコン層上にAI配線とのコンタクト部14として多結晶シリコン膜を残しておく。

最後に全面にCVD酸化膜11を堆積し、必要なら平坦化処理を行った後、これにコンタクト孔を開けて、各メモリセルのドレイン拡散層10に接続されるビット線12、および制御ゲート線に接続されるワード線となるAI配線12, 13を形成する(第3図(e))。

この実施例によるEEPROMの動作を簡単に説明する。選択ワード線および選択ビット線に正電位を与えることにより、選択されたメモリセルでチャネル電流が流れ、ドレイン近傍で生成されたホットエレクトロンが浮遊ゲートに注入される。これにより、そのメモリセルのしきい値は正方向に移動する。これが例えばデータ書き込みである。データ消去は、選択ワード線をOVとし、選択ビット線に正電位を与えて、浮遊ゲートの電子を基板側にFETトンネリングにより引き抜く。これにより、メモリセルのしきい値は負方向に移動する。データ読出しは、ワー

ド線に所定の読出し電位を与えてセル電流が流れるか否かにより、“0”、“1”を判別する。

データ書き込みと消去の双方に、FNTトンネリングを利用することも可能である。この場合書き込みは、選択ワード線に正電位を与え、選択ビット線に0Vを与えて、選択されたメモリセルで基板側から浮遊ゲートに電子をFNTトンネリングにより注入する。

この実施例によれば、格子線状の溝底部を分離領域として、柱状シリコン層が配列され、この柱状シリコン層の周囲を取り囲むように形成された浮遊ゲートを持つメモリセルが構成されるから、メモリセルの占有面積が小さい、高集積化EEPROMが得られる。しかも、メモリセル占有面積が小さいにも拘らず、浮遊ゲートと制御ゲート間の容置は十分大きく確保することができる。

なお実施例では、マスクを用いることなく各メモリセルの制御ゲートを一方向について連続するように形成した。これは、柱状シリコン層の配置が対称的でない場合に初めて可能である。すなわち、ワード線方向の柱状シリコン層の隣接間隔を、ビット線方向にそれより小さくすることにより、ビット線方向には分離され、ワード線方向に繋がる制御ゲート線がマスクなしで自動的に得られる。これに対して例えば、柱状シリコン層の配置が対称的にした場合には、FEP工程を必要とする。具体的に説明すれば、第2層多結晶シリコン膜を厚く堆積して、FEP工程を経て、制御ゲート線として連続させるべき部分にこれを残すように選択エッチングする。ついで第3層多結晶シリコン膜を堆積して、実施例で説明したと同様に側壁残しのエッチングを行う。柱状シリコン層の配置が対称的でない場合にも、その配置の間隔によっては実施例のように自動的に連続する制御ゲート線が形成できないこともある。この様な場合にも、上述のようなマスク工程を用いることにより、一方向に連続する制御ゲート線を形成すればよい。

また実施例では、浮遊ゲート構造のメモリセルを用いたが、電荷蓄積層は必ずしも浮遊ゲート構造である必要はなく、電荷蓄積層を多層絶縁膜へのトラップにより実現している例えばMOS構造の場合にも本発明は有効である。

第4図はその様なMOS構造のメモリセルを用いた場合の実施例の第2図(a)に対応する断面図である。第2図と対応する部分には同じ符号を付して詳細な説明は省略する。電荷蓄積層となる積層絶縁膜24は、トンネル酸化膜とシリコン窒化膜の積層構造、またはその窒化膜表面にさらに酸化膜を形成した構造とする。

第1図では、柱状シリコン層2が円柱状である場合、すなわち上面が円形である場合を示している。この柱状シリコン層の外形は円柱状でなくてもよい。例えば第5図に示すように、四角形パターンで柱状シリコン層を形成してもよい。ただし、柱状シリコン層の大きさが加工

あっても、コーナーに丸みがつく結果、実質的に第1図と同様のものとなる。

ところで、上記実施例のような1トランジスタ/1セル構成では、メモリ・トランジスタが過消去の状態すなわち、読出し電位が0Vであってしきい値が負の状態になると、非選択でもセル電流が流れることになり、不都合である。これを確実に防止するためには、メモリ・トランジスタのほかに選択ゲート・トランジスタを用いることが望ましい。以下にその様な実施例を説明する。

第6図はそのような実施例のEEPROMの平面図であり、第7図(a)(b)はそれぞれ第6図のA-A'、B-B'断面図である。これらの図で先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省略する。なお第6図の平面図に於いては、選択ゲート・トランジスタのゲート電極が連続して形成される選択ゲート線は、複雑になるので示していない。

先の実施例と同様に柱状シリコン層2が溝3により分離されて配列形成され、各シリコン層2の上面にドレイン拡散層10が形成され、溝3の底部に共通ソース拡散層9が形成される。メモリセルはこの様な柱状シリコン層2の下部に、先の実施例と同様に、トンネル酸化膜5を介して浮遊ゲート6が形成され、さらに層間絶縁膜7を介して制御ゲート8が形成されて、メモリ・トランジスタが構成される。そして柱状シリコン層2の上部には、メモリ・トランジスタと同様にその周囲を取り囲むように、ゲート酸化膜31を介してゲート電極32が配設されて選択ゲート・トランジスタが構成されている。このトランジスタのゲート電極32は、メモリセルの制御ゲート8と同様に、制御ゲート線と同じ方向には連続して配設されて選択ゲート線となる。この様にメモリ・トランジスタおよび選択ゲート・トランジスタが、溝の内部に重ねられた状態で埋込み形成される。制御ゲート線は、その一端部を先の実施例と同様にシリコン層表面にコンタクト部14として残し、選択ゲート線も制御ゲートと逆の端部のシリコン層にコンタクト部15を残して、これらにそれぞれワード線WLおよび制御ゲート線CGとなるAI配線13、16をコンタクトさせている。

第8図(a)~(g)はこの実施例のEEPROMの製造工程を示す第7図(a)に対応する断面図である。p型シリコン基板1にp型シリコン層2をエピタキシャル成長させたウェハを用い、マスクを形成して異方性エッチングにより格子線状の溝3を形成し、各シリコン層2の上面にドレイン拡散層10、溝底部に共通ソース拡散層9を形成するまでは、先の実施例と同様である(第8図(a)(b))。その後トンネル酸化膜5を形成した後、第1層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングして柱状シリコン層2の下部側壁に残して、シリコン層2を取り囲む形の浮遊ゲート5を形成する(第8図(c))。ついで先の実施例と同様に層間絶縁膜6を形成した後、第2層多結晶シリコン

膜を堆積し、これを異方性エッチングによりエッチングして、やはり柱状シリコン層2の下部に制御ゲート8を形成する(第8図(d))。制御ゲート8は、一方向に連続して制御ゲート線となる。そして不要な層間絶縁膜7およびその下のトンネル酸化膜2をエッチング除去した後、CVDシリコン酸化膜111を堆積し、これをエッチングして溝3の途中まで、すなわちメモリセルの浮遊ゲート7および制御ゲート8が隠れるまで埋め込む(第8図(e))。その後露出した柱状シリコン層2の上部に熱酸化により200Å程度のゲート酸化膜31を形成した後、第3層多結晶シリコン膜を堆積し、これを異方性エッチングによりエッチングしてMOSトランジスタのゲート電極32を形成する(第8図(f))。このゲート電極32も制御ゲート線と同じ方向に連続的にパターン形成されて選択ゲート線となる。選択ゲート線もセルフアラインで連続的に形成することができるが、メモリセルの制御ゲート8の場合に比べて難しい。なぜなら、メモリ・トランジスタ部は2層ゲートであるのに対し、選択ゲート・トランジスタが単層ゲートであるため、隣接セル間のゲート電極間隔が制御ゲート間隔より広いからである。したがって確実にゲート電極32を連続させるためには、これを二層多結晶シリコン構造として、最初が多結晶シリコン膜についてはマスク工程でゲート電極を繋げる部分にのみ残し、次の多結晶シリコン膜に対して側壁残しの技術を利用すれば良い。

なお、制御ゲート線および選択ゲート線はそれぞれ異なる端部において、柱状シリコン層上面にコンタクト部14,15が形成されるように、多結晶シリコン膜エッチングに際してマスクを形成しておく。

最後にCVDシリコン酸化膜112を堆積して、コンタクト孔を開けて、Alの蒸着、パターンニングにより、ビット線BLとなるAl配線12、制御ゲート線CGとなるAl配線13および、ワード線WLとなるAl配線16を同時に形成する(第8図(g))。

第9図(a)は、この実施例のEEPROMの1メモリセルの要部断面構造を平面構造に置き換えて示し、同図(b)は同じく等価回路を示している。

第9図を用いてこの実施例のEEPROMの動作を簡単に説明すれば、次の通りである。まず書き込みホットキャリア注入を利用する場合の書き込みは、選択ワード線WLに十分高い正電位を与え、選択制御ゲート線CGおよび選択ビット線BLに所定の正電位を与える。これにより選択ゲート・トランジスタQsを介して正電位をメモリ・トランジスタQcのドレインに伝達して、メモリ・トランジスタQcでチャネル電流を流して、ホットキャリア注入を行う。消去は、選択制御ゲートCGをGとし、ワード線WLおよびビット線BLに高い正電位を与えて、ドレイン側に浮遊ゲートの電子を放出させる。一括消去の場合には、共通ソースに高い正電位を与えてソース側に電子を放出させることもできる。読出し動作は、ワード線WLにより選択

ゲート・トランジスタQsを開き、制御ゲート線CGの読出し電位を与えて、電流の有無により“0”、“1”判別を行う。

電子注入にFNTトンネリングを利用する場合には、選択制御ゲート線CGおよび選択ワード線WLに高い正電位を与え、選択ビット線BLをGとして、基板から浮遊ゲートに電子を注入する。

この実施例によれば、選択ゲート・トランジスタがあるため、過消去状態になっても誤動作しないEEPROMが得られる。

ところでこの実施例では、第9図(a)に示したように、選択ゲート・トランジスタQsとメモリ・トランジスタQcの間には並置層がない。これは、柱状シリコン層の側面に選択的に並置層を形成することが困難だからである。したがって、第7図(a)(b)の構造において、メモリ・トランジスタのゲート部と選択ゲート・トランジスタのゲート部の間の分離酸化膜はできるだけ薄いことが望ましい。特に、ホットエレクトロン注入を利用する場合には、メモリ・トランジスタのドレイン部に十分なH<sup>+</sup>レベル電位を伝達するために、この分離酸化膜厚が300~400Å程度であることが必要になる。このような微小間隔は、先の製造工程で説明したCVDによる酸化膜埋込みのみでは実際には困難である。したがってCVD酸化膜埋込みは浮遊ゲート6および制御ゲート8が露出する状態とし、選択ゲート・トランジスタ用のゲート酸化の工程で同時に浮遊ゲート6および制御ゲート8の露出部に薄い酸化膜を形成する方法が望ましい。

第10図は上記実施例におけるメモリ・トランジスタを、第4図の実施例と同様のMOS構造とした実施例である。

第11図は、上記実施例において、メモリ・トランジスタと選択ゲート・トランジスタを逆にした実施例すなわち、柱状シリコン層2の下部に選択ゲート・トランジスタを形成し、上部にメモリ・トランジスタを形成した実施例の第7図(a)に対応する断面図である。共通ソース側に選択ゲート・トランジスタを設けるこの構造は、書き込み方式としてホットエレクトロン注入方式が用いられる場合に採用することができる。

第12図は、一つの柱状シリコン層にNAND型メモリセルを構成した実施例である。先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省略する。この実施例では、柱状シリコン層2の最下部に選択ゲート・トランジスタQs1を形成し、その上に3個のメモリ・トランジスタQc1,Qc2,Qc3を重ね、更にその上に選択ゲート・トランジスタQs2を形成している。この構造は基本的に先に説明した製造工程を繰り返すことにより得られる。

第13図(a)(b)はそれぞれ先の実施例の第7図(a)(b)に対応する断面図である。この実施例では、メモリ・トランジスタの制御ゲート8と選択ゲート

・トランジスタのゲート電極32とを連続的に一体的に形成している。

第14図(a)～(e)はこの実施例の製造工程断面図である。先の実施例と同様のウェハにマスクを用いて溝3をエッチング形成し、ソース拡散層9およびドレイン拡散層10を形成した後、トンネル酸化膜5を形成し、柱状シリコン層2の下部に浮遊ゲート6を形成するまでの工程は、先の実施例と変わらない(第14図(a)～(c))。その後、浮遊ゲート6上の層間絶縁膜7と選択ゲート・トランジスタ部のゲート酸化膜31を同時に例えば熱酸化によって形成し、第2層多結晶シリコン膜の堆積と異方性エッチングによって、制御ゲート8部とゲート電極32部を連続的に形成する(第14図(d))。そしてCVD酸化膜11によって全面を覆い、これにコンタクト孔を開けてAl配線12を形成する(第14図(e))。

第14図は、この実施例のメモリセルの要部断面構造を、第8図(a)に対応させて示したものである。

この実施例によるEEPROMの動作も先の実施例と基本的には同様である。ただし、メモリ・トランジスタの制御ゲートと選択ゲート・トランジスタのゲート電極が共通であるから、消去動作は、共通ソースSに正電位を与え、ワード線WL(すなわち制御ゲート線CG)をOVとして、浮遊ゲートの電子をソース拡散層側に放出させることで行われる。

この実施例によっても、先の実施例と同様の効果が得られる。

第14図および第14図で説明した実施例においても、メモリ・トランジスタとして浮遊ゲート構造に代り、MIMOS構造を用いることができることはいうまでもない。

#### 【発明の効果】

以上述べたように本発明によれば、格子溝状溝によって分離された柱状半導体層の側壁を利用して、電荷蓄積層と制御ゲートを持つメモリ・トランジスタを用いたメモリセルを構成することにより、制御ゲートと電荷蓄積\*

\*層間の容量を十分大きく確保してしかもメモリセル占有面積を小さくして高集積化を図ったEEPROMを得ることができる。

#### 【図面の簡単な説明】

第1図は本発明の一実施例のEEPROMの平面図、

第2図(a)(b)は第1図のA-A'およびB-B'断面図、

第3図(a)～(e)は製造工程を示す断面図、

第4図はMIMOS構造を用いた実施例のEEPROMを示す断面図、

第5図は他の実施例のEEPROMを示す平面図、

第6図はさらに他の実施例のEEPROMを示す平面図、

第7図(a)(b)は第6図のA-A'およびB-B'断面図、

第8図(a)～(g)はその製造工程を示す断面図、

第9図(a)(b)は平面構造に置き換えて示す断面図と等価回路図、

第10図はMIMOS構造を用いた実施例のEEPROMを示す断面図、

第11図はメモリ・トランジスタと選択ゲート・トランジスタの配置を逆にした実施例のEEPROMを示す断面図、

第12図はNAND構造とした実施例のEEPROMを示す断面図、

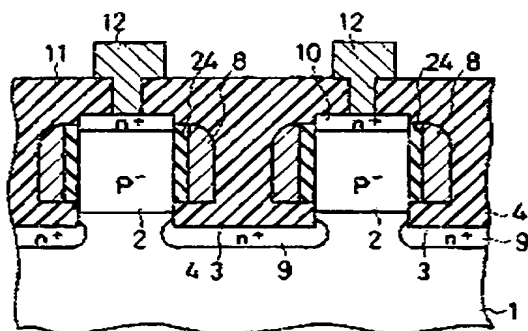
第13図(a)(b)はさらに他の実施例のEEPROMを第7図(a)(b)に対応させて示す断面図、

第14図(a)～(e)はその製造工程を示す断面図、

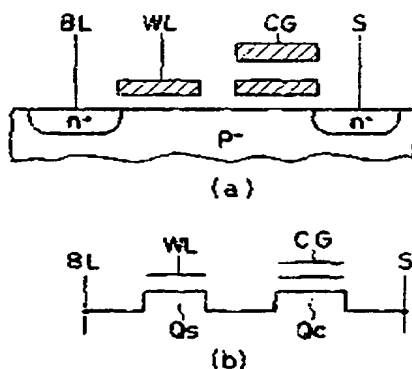
第15図は平面構造に置き換えて示す断面図である。

1……p型シリコン基板、2……p型シリコン層、3……格子溝状溝、4……シリコン酸化膜、5……トンネル酸化膜、6……浮遊ゲート、7……層間絶縁膜、8……制御ゲート、9……共通ソース拡散層、10……ドレイン拡散層、11……CVD酸化膜、12……Al配線(ビット線)、13……Al配線(ワード線)、14、15……コンタクト部、31……ゲート酸化膜、32……ゲート電極、24……積層絶縁膜。

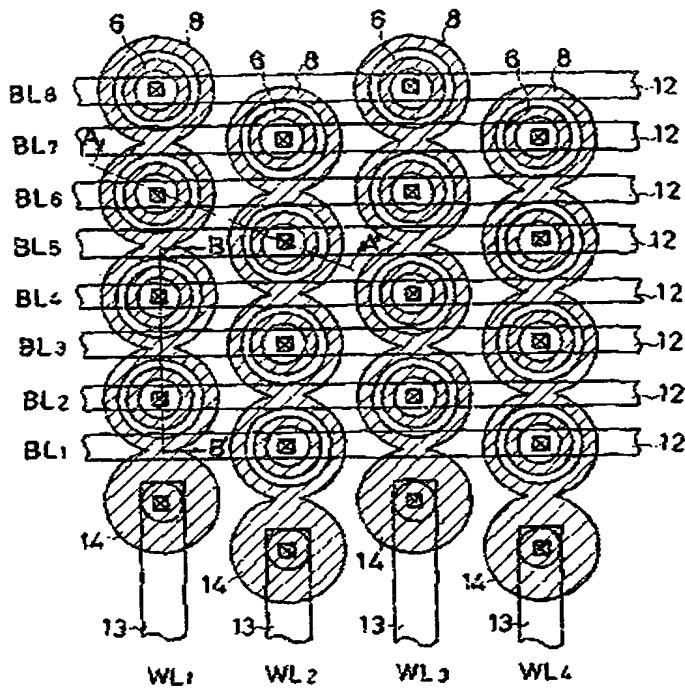
【第4図】



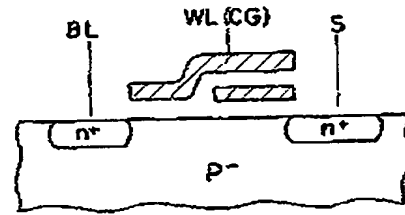
【第9図】



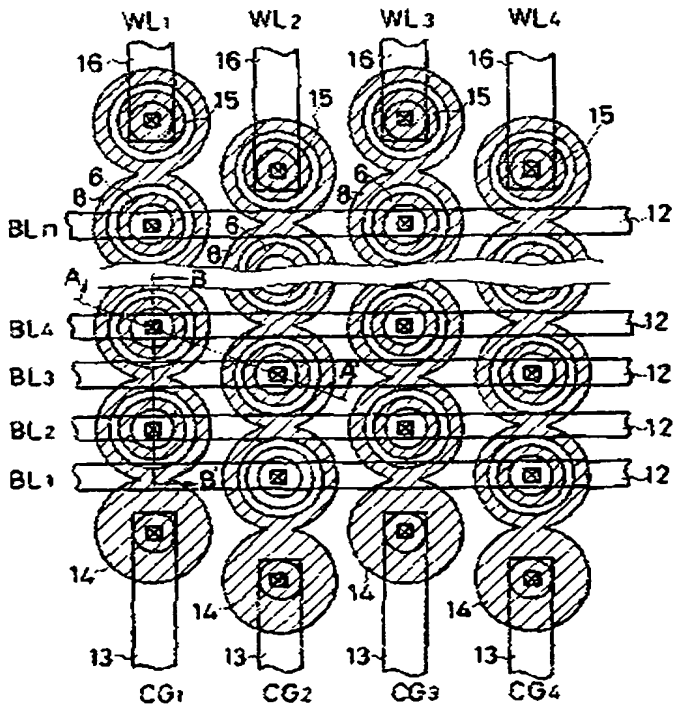
【第1図】



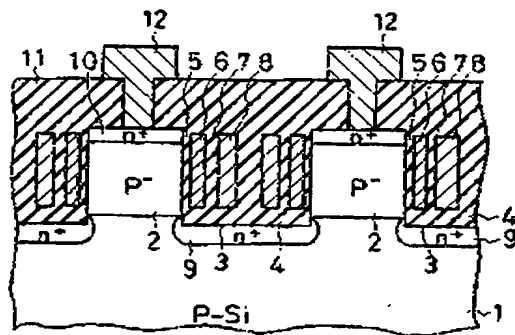
【第15図】



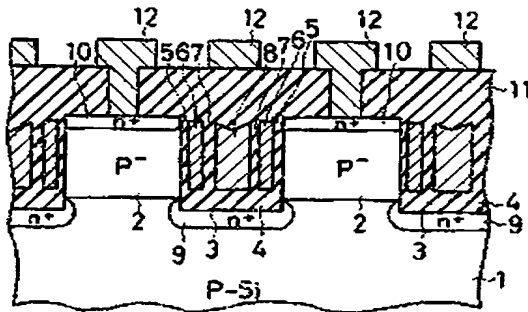
【第6図】



【第2図】

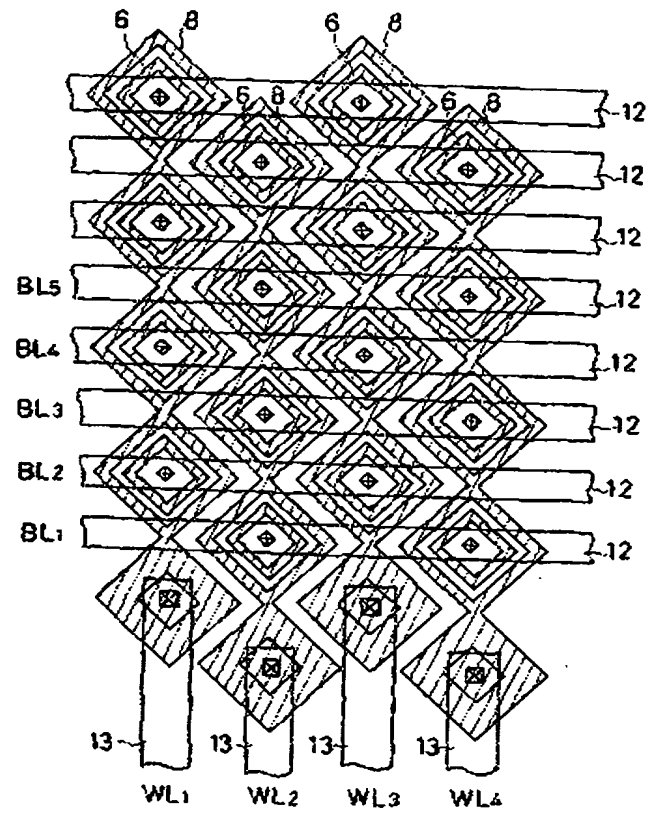


(a)

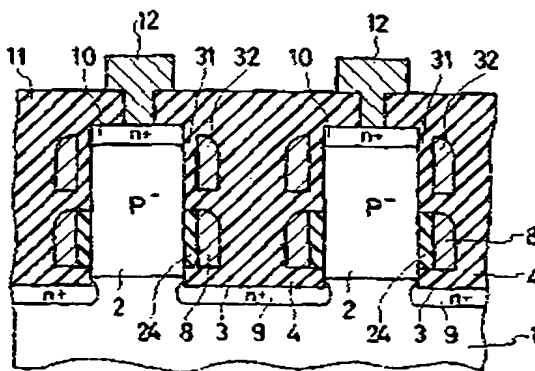


(b)

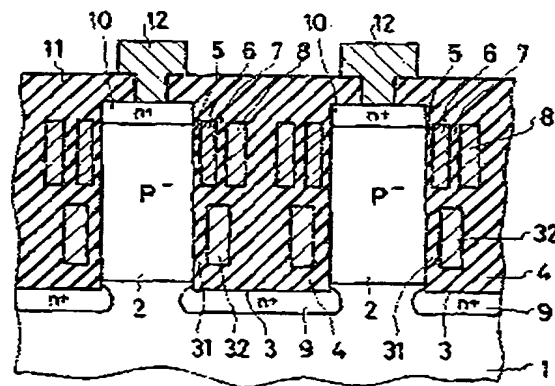
【第5図】



【第10図】

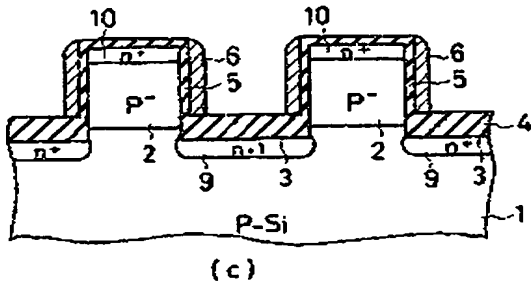
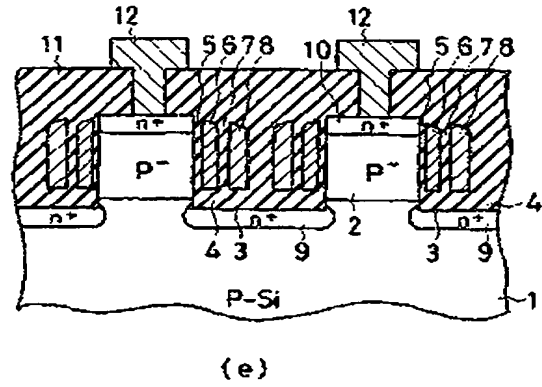
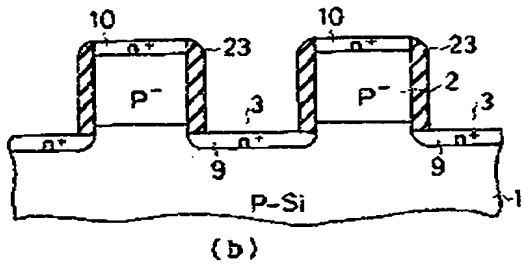
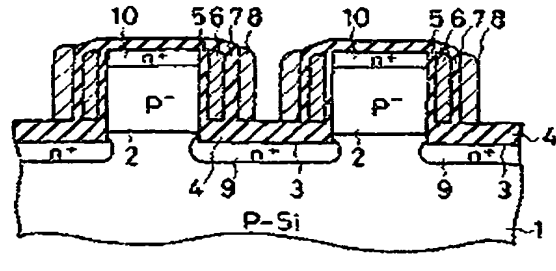
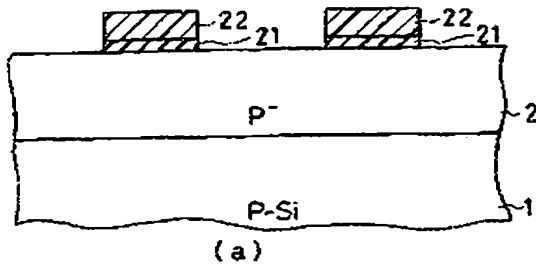


【第11図】

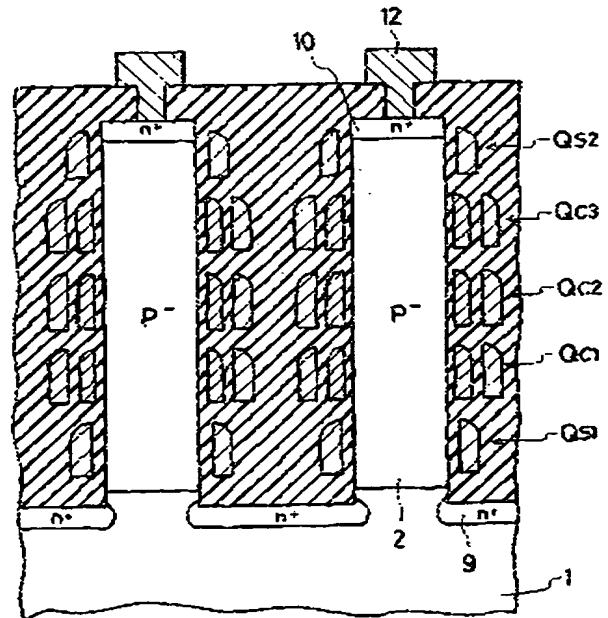




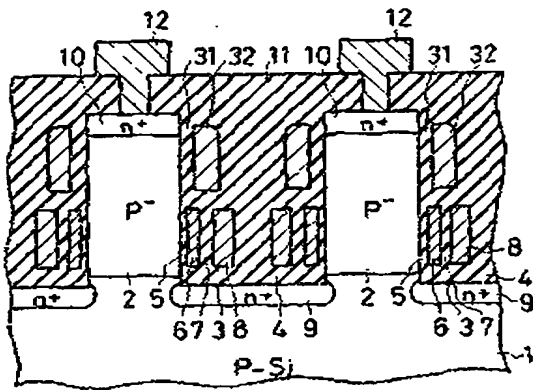
【第3図】



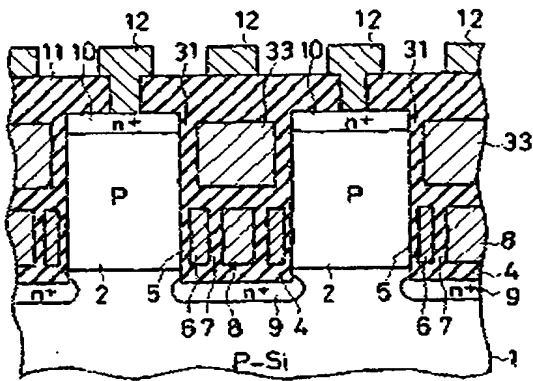
【第12図】



【第7図】

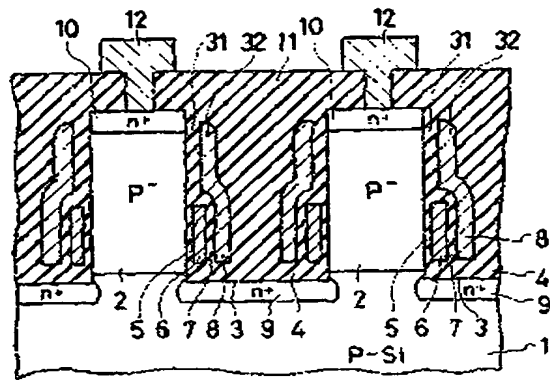


(a)

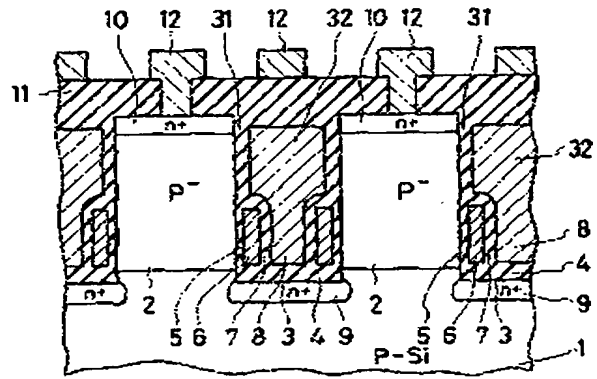


(b)

【第13図】

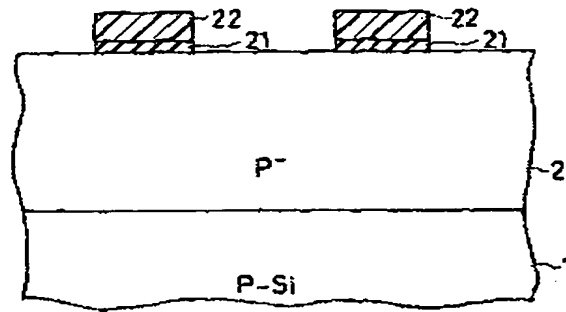


(a)

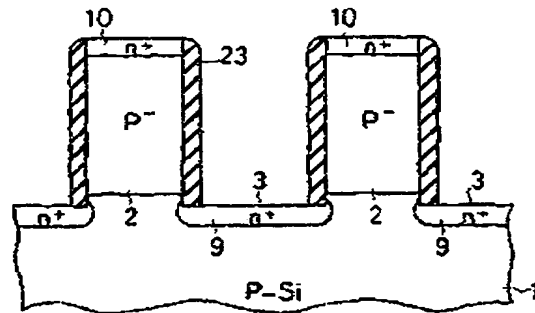


(b)

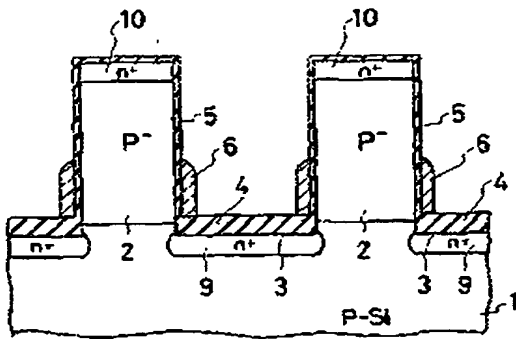
【第8図】



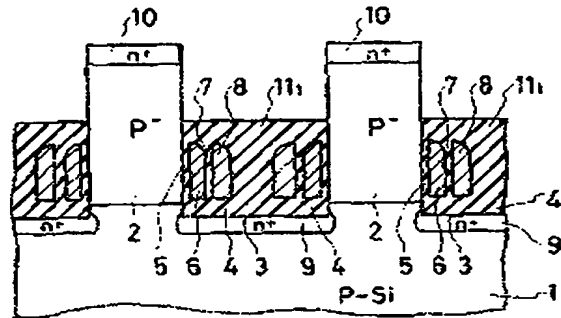
(a)



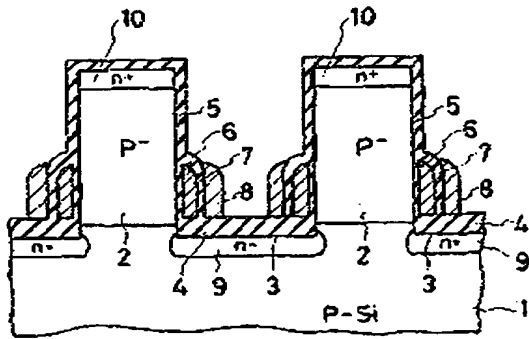
(b)



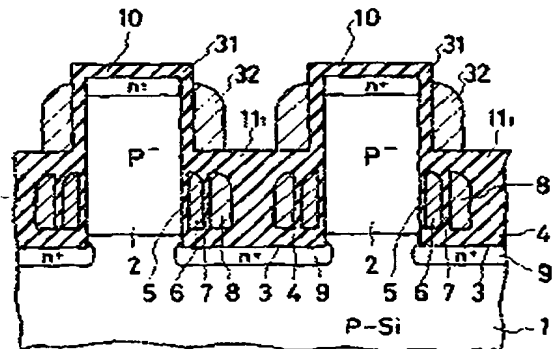
(c)



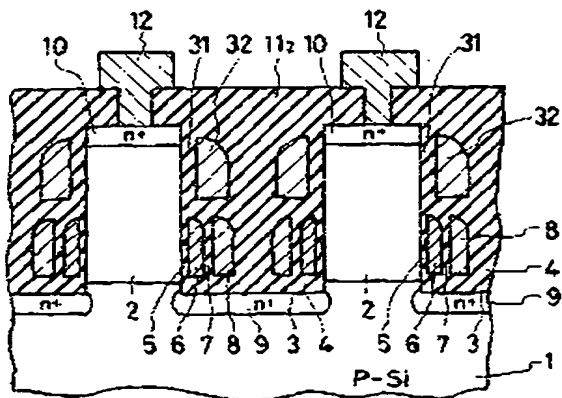
(e)



(d)

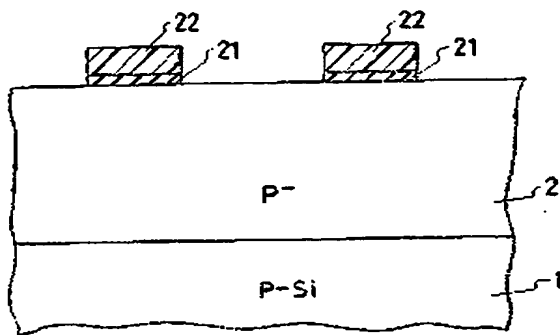


(f)

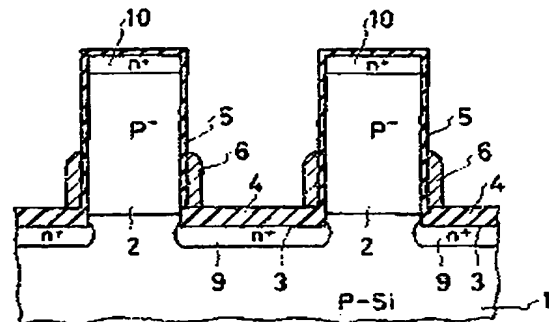


(g)

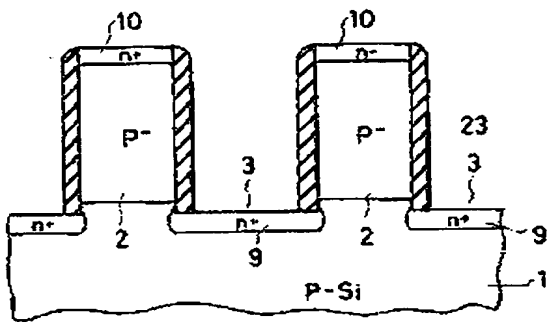
【第14図】



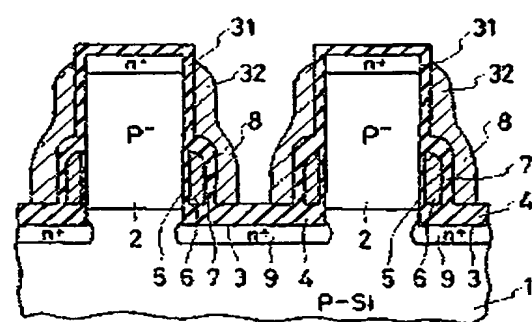
(a)



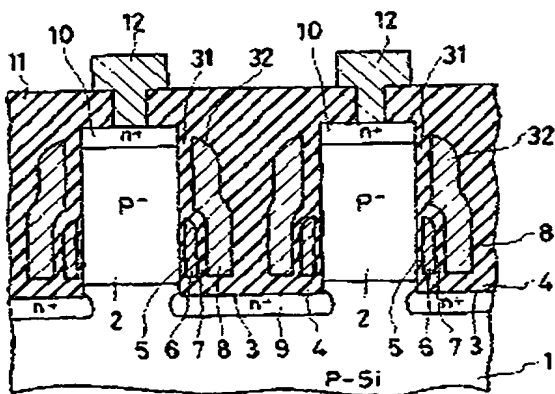
(c)



(b)



(d)



(e)